


Circuit arrangement for protecting an integrated circuit against a non-allowed input voltage imposed on an input stage

Patent number: EP0351756
Publication date: 1990-01-24
Inventor: HORCHLER WOLFGANG DIPL-ING; LENZ MICHAEL
ING GRAD
Applicant: SIEMENS AG (DE)
Classification:
- **International:** H01L27/02; H02H7/20
- **European:** H01L27/02B4; H02H7/20
Application number: EP19890113076 19890717
Priority number(s): DE19883824678 19880720

Also published as:

 EP0351756 (B)

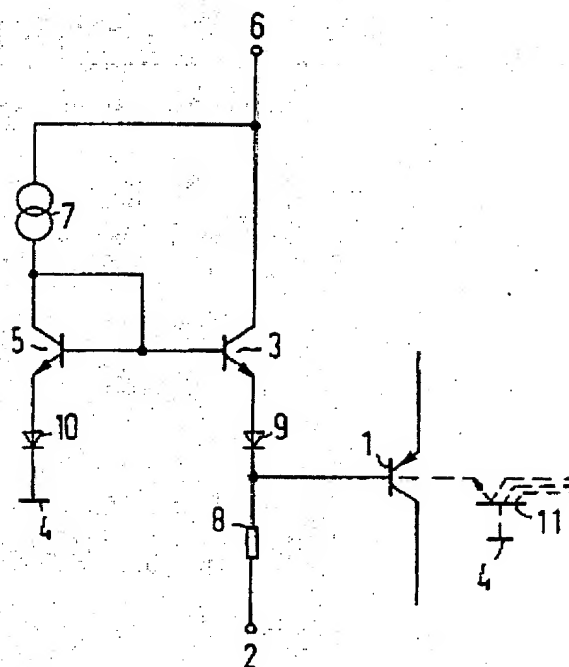
Cited documents:

 FR2590726
 US4496849

Report a data error he

Abstract of EP0351756

By virtue of a transistor receiving a supply potential on the collector side and a reference potential on the base side, when non-allowed input potentials occur at an integrated circuit, the current flowing in the input stage is cancelled by a counter-current formed by the emitter current of the transistor.



Data supplied from the esp@cenet database - Worldwide

THIS PAGE BLANK (USPTO)

19



Europäisches Patentamt
European Patent Office
Office européen des brevets

11 Veröffentlichungsnummer:

**0 351 756
A1**

12

EUROPÄISCHE PATENTANMELDUNG

21 Anmeldenummer: 89113076.7

61 Int. Cl.4: H02H 7/20 , H01L 27/02

22 Anmeldetag: 17.07.89

30 Priorität: 20.07.88 DE 3824678

43 Veröffentlichungstag der Anmeldung:
24.01.90 Patentblatt 90/04

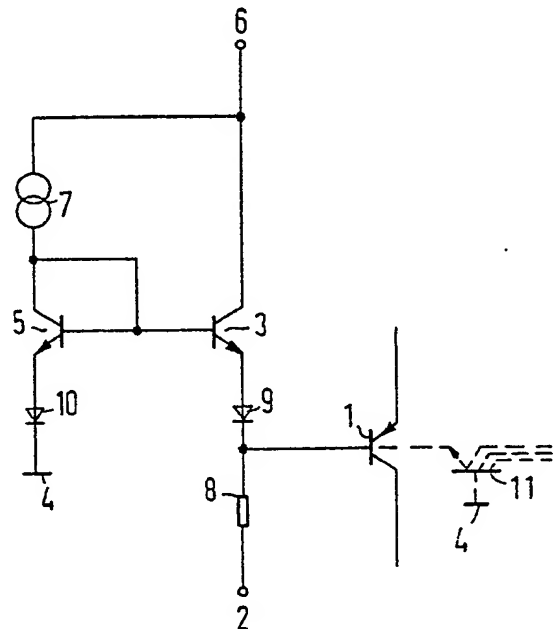
64 Benannte Vertragsstaaten:
DE FR GB IT NL SE

71 Anmelder: Siemens Aktiengesellschaft
Wittelsbacherplatz 2
D-8000 München 2(DE)

72 Erfinder: Horschler, Wolfgang, Dipl.-Ing.
Bahnhofplatz 12
D-8013 Haar(DE)
Erfinder: Lenz, Michael, Ing. grad.
Herzogplatz 50
D-8011 Zorneding(DE)

54 Schaltungsanordnung zum Schutze einer integrierten Schaltung vor einem an einer Eingangsstufe anliegenden unzulässigen Eingangspotential.

57 Durch einen kollektorseitig mit einem Versorgungspotential und basisseitig mit einem Referenzpotential beaufschlagten Transistor wird beim Auftreten unzulässiger Eingangspotentiale an einer integrierten Schaltung der in die Eingangsstufe fließende Strom durch einen durch den Emitterstrom des Transistors gebildeten Gegenstrom aufgehoben.



EP 0 351 756 A1

Schaltungsanordnung zum Schutze einer integrierten Schaltung vor einem an einer Eingangsstufe anliegenden unzulässigen Eingangspotential.

Bei integrierten Schaltungen, vor allem bei unipolar betriebenen, führen unzulässige Eingangspotentiale, wie sie etwa durch Verpolung oder induktive Kopplung am Eingang entstehen können, zu Fehlfunktionen bis hin zu der Zerstörung der integrierten Schaltung. Um dem entgegenzuwirken, werden gefährdete Eingänge beispielsweise mit Dioden beschaltet. Insbesondere bei integrierten Schaltungen mit hohem Eingangswiderstand ist diese Vorgehensweise jedoch kritisch, da die Dioden zum einen eine relativ hohe Durchlaßspannung und zum anderen einen nicht zu vernachlässigenden Durchgangswiderstand aufweisen. Dabei zeigen integrierte Schaltungen, die einen PNP-Transistor in der Eingangsstufe zur Erzielung eines hohen Eingangswiderstandes besitzen, eine erhöhte Empfindlichkeit gegenüber unzulässigen Eingangspotentialen. Dies ist durch die Tatsache begründet, daß die Basis eines PNP-Transistors in einer integrierten Schaltung aus einer n-dotierten Wanne in einem p-dotierten Substrat besteht. Mit weiteren in der integrierten Schaltung vorhandenen n-dotierten Wannen entstehen dadurch parasitäre, als NPN-Transistoren wirkende Strukturen, welche beim Auftreten eines gegenüber dem Nullpotential negativen unzulässigen Potential an der Basis des PNP-Transistors aktiviert werden und mit weiteren Schaltungsteilen in Wechselwirkung geraten.

Um dem entgegenzuwirken, wird üblicherweise ein an ein positives Potential angeschlossener n-dotierter Schutzring um den betreffenden PNP-Transistor gelegt und/oder der den PNP-Transistor umgebende Isolationsrahmen vergrößert. Durch beide Maßnahmen wird jedoch der Einfluß des parasitären lateralen NPN-Transistors auf die integrierte Schaltung über die Verringerung seines Basisstromes durch Abschirmung bzw. über das Herabsetzen seiner Stromverstärkung lediglich abgeschwächt, jedoch nicht aufgehoben. Zudem können diese strukturellen Eingriffe zu unerwünschten Veränderungen bei den elektrischen Eigenschaften der integrierten Schaltung führen.

Aufgabe der Erfindung ist es, die Wirkungen eines an einer Eingangsstufe einer integrierten Schaltung anliegenden unzulässigen Eingangspotentials auf die Funktionsfähigkeit der integrierten Schaltung gering zu halten.

Die Aufgabe wird beim einer gattungsgemäßen Schaltungsanordnung durch die kennzeichnenden Merkmale des Patentanspruchs 1 gelöst.

Weiterbildungen der Erfindung sind Gegenstand von Unteransprüchen.

Vorteil der Erfindung ist es, mit geringem schaltungstechnischen Aufwand die Funktionsfähig-

keit einer integrierten Schaltung beim Auftreten eines unzulässigen Eingangspotentials über einen weiten Bereich hin zu erhalten. Darüber hinaus eignet sich die erfindungsgemäße Schaltungsanordnung aufgrund des hohen Durchgangswiderstandes im regulären Betriebsfall besonders für integrierte Schaltungen mit hohem Eingangswiderstand.

Ein Ausführungsbeispiel der Erfindung ist in der einzigen Figur der Zeichnung dargestellt und wird im folgenden näher beschrieben.

Bei dem gezeigten Ausführungsbeispiel ist die Eingangsstufe durch einen PNP-Eingangstransistor 1 gegeben, der emitter- und kollektorseitig mit nicht näher bezeichneten Teilen einer unipolar betriebenen integrierten Schaltung verschaltet ist und dessen Basis als Eingang der integrierten Schaltung vorgesehen ist. In Verbindung mit dem p-dotierten Substrat als Basis und weiteren n-dotierten Wannen als Kollektoren bildet die Basis des PNP-Eingangstransistors 1 den Emitter einer parasitären, als NPN-Mehrfach-Kollektortransistor wirkenden und im folgenden als parasitärer NPN-Transistor 11 bezeichneten Schaltungsstruktur. Der parasitäre NPN-Transistor 11 ist dabei über die Basis mit Masse als Nullpotential 4 und über die Kollektoren mit weiteren Schaltungsteilen der integrierten Schaltung verbunden.

Die erfindungsgemäße Schaltungsanordnung besteht aus einem ersten NPN-Transistor 3, dessen Kollektor an einem gegenüber dem Nullpotential 4 positiven Versorgungspotential 6 liegt und dessen Basis an der Basis und dem Kollektor eines zweiten NPN-Transistors 5 sowie an einer von dem Versorgungspotential 6 ausgehenden Stromquelle 7 angeschlossen ist. In Weiterbildung der Erfindung ist der Emitter des zweiten NPN-Transistors 5 über eine in Durchlaßrichtung geschaltete Diode 10 an das Nullpotential 4 gelegt und der Emitter des ersten NPN-Transistors 3 über eine weitere in Durchlaßrichtung geschaltete Diode 9 mit der Basis des PNP-Eingangstransistors 1 verbunden. Darüber hinaus ist die Basis des PNP-Eingangstransistors 1 die Erfindung weiterbildend über einen ohmschen Widerstand 8 mit dem Eingangspotential 2 beaufschlagt.

Nachdem zuvor der prinzipielle Aufbau der in der Figur der Zeichnung dargestellten Schaltungsanordnung erläutert worden ist, sei nunmehr auf deren Arbeitsweise näher eingegangen.

In Verbindung mit der Stromquelle 7 erzeugen der zu einer Diode verschaltete zweite NPN-Transistor 5 und die in Reihe dazu geschaltete Diode 10 zwischen dem an der Basis des ersten NPN-Transistor 1

sistors 3 anliegenden Potential und dem Nullpotential 4 eine Potentialdifferenz, welche der Summe der beiden Diodendurchlaßspannungen entspricht. Für den Fall, daß das Eingangspotential 2 gleich dem Nullpotential 4 ist, oder positiver, ist der erste NPN-Transistor 3 gesperrt, da die an ihm anliegende Basis-Emitter-Spannung zum Durchsteuern nicht ausreicht. Wird dagegen das Eingangspotential 2 negativ gegenüber dem Nullpotential 4, so wird auch die Basis-Emitter-Spannung des ersten NPN-Transistors 3 groß genug, um diesen in den leitenden Zustand zu bringen. Damit fließt ein Strom von dem positiven Versorgungspotential 6 in den Basiskreis des PNP-Eingangstransistors 1, wo sich, durch das Regelverhalten der Schaltungsanordnung bedingt, in etwa das Nullpotential 4 einstellt. Der über den ohmschen Widerstand 8 aus dem Basiskreis des PNP-Eingangstransistors 1 zum Eingangspotential 2 fließende Strom wird durch den Emitter-Kollektor-Strom des ersten NPN-Transistors 3 wieder aufgehoben.

Der ohmsche Widerstand 8 dient vorteilhafterweise zur Begrenzung des Eingangsstromes und wird zweckmäßigerweise bei Eingangsspannungsquellen mit geringem Innenwiderstand eingesetzt. Die beiden in die Emitterkreise der beiden NPN-Transistoren 3, 5 eingebrachten Dioden 9, 10 bringen den Vorteil mit sich, daß ein hohes positives Eingangspotential aufgrund des Sperrens der Diode 9 nicht zu einem Durchbruch der Basis-Emitter-Strecke des ersten NPN-Transistors 3 führt. Die Diode 10 dient dazu, den an der Diode 9 austretenden Spannungsabfall zu kompensieren. Die beiden Dioden 9, 10 werden bevorzugt in einer hochsperrenden Ausführung verwendet.

Abschließend sei bemerkt, daß sich aufgrund des geringen schaltungstechnischen Aufwandes eine Mitintegration, insbesondere bei integrierten Schaltungen mit mehreren zu schützenden Eingängen anbietet.

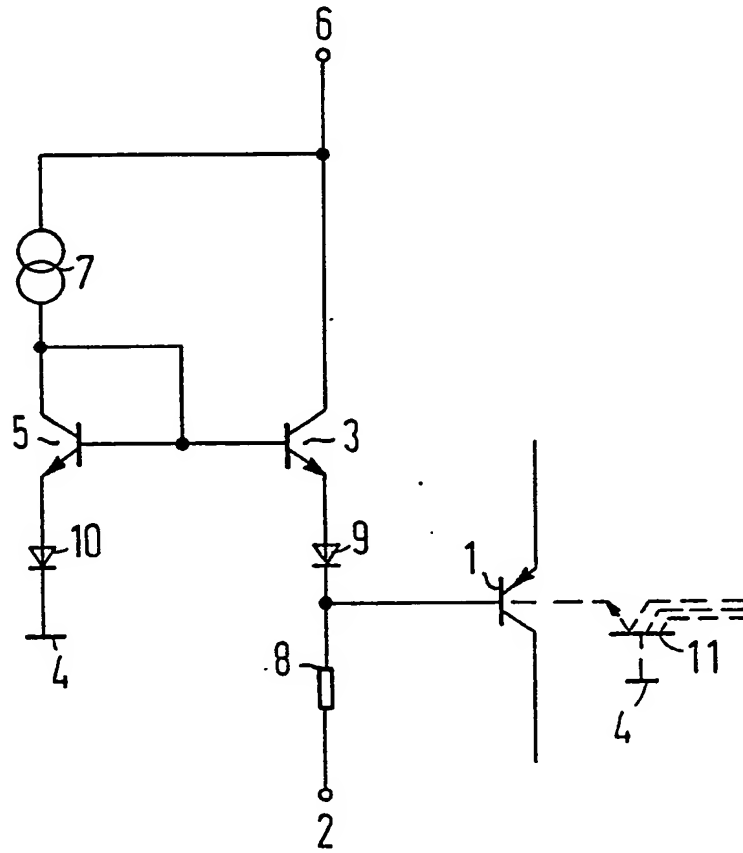
Ansprüche

1. Schaltungsanordnung zum Schutze einer integrierten Schaltung vor einem an einer Eingangsstufe (1) anliegenden unzulässigen Eingangspotential (2), **dadurch gekennzeichnet**, daß die Eingangsstufe (1) mit dem Emitter eines ersten Transistors (3) verbunden ist, daß der Kollektor des ersten Transistors (3) an einem Versorgungspotential (6) angeschlossen ist, daß die Basis des ersten Transistors (3) mit einer auf das Versorgungspotential (6) bezogenen Stromquelle (7) und mit der Basis und dem Kollektor eines emitterseitig auf einem Nullpotential (4) liegenden zweiten Transistor (5) verschaltet ist und daß das Versorgungspotential (6) und das unzulässige Eingangspotential

(2) bezogen auf das Nullpotential (4) eine einander entgegengesetzte Polarität aufweisen.

2. Schaltungsanordnung nach Anspruch 1, **dadurch gekennzeichnet**, daß das unzulässige Eingangspotential (2) an einem Anschluß eines ohmschen Widerstandes (8), dessen zweiter Anschluß mit dem Emitter des ersten Transistors (3) und mit der Eingangsstufe (1) verbunden ist, anliegt.

3. Schaltungsanordnung nach Anspruch 1 oder 2, **dadurch gekennzeichnet**, daß die Emitter der beiden Transistoren mit zusätzlichen, in Durchlaßrichtung geschalteten Dioden beaufschlagt sind.





Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

Nummer der Anmeldung

EP 89 11 3076

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl.5)
A	FR-A-2590726 (SGS MICROELETTRONICA) * Seite 2, Zeile 34 - Seite 3, Zeile 9 * ---	1	H02H7/20 H01L27/02
A	US-A-4496849 (GENERAL MOTORS) * Spalte 4, Zeile 56 - Spalte 5, Zeile 22 * -----	1	
			RECHERCHIERTE SACHGEBIETE (Int. Cl.5)
			H02H H01L H03K
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 04 OKTOBER 1989	
		Prüfer LIBBERECHT L.A.	
KATEGORIE DER GENANNTEN DOKUMENTE			
X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur		T : der Erfindung zugrunde liegende Theorien oder Grundsätze E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument	

THIS PAGE BLANK (USPTO)

Docket #: S4-02P18276_

Applic. # PCT/DE2003/003348

Applicant: Bolz

Lerner and Greenberg, P.A.

Post Office Box 2480

Hollywood, FL 33022-2480

Tel: (954) 925-1100 Fax: (954) 925-1101